

M  
E  
N  
U[Previous Doc](#)[Next Doc](#)  
[First Hit](#)[Go to Doc#](#)

Generate Collection

L22: Entry 4 of 7

File: JPAB

Mar 22, 1996

PUB-NO: JP408077797A

DOCUMENT-IDENTIFIER: JP 08077797 A

TITLE: SEMICONDUCTOR MEMORY

PUBN-DATE: March 22, 1996

## INVENTOR-INFORMATION:

NAME

COUNTRY

SENOO, YUKIHIRO

NAKANO, MASAO

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

APPL-NO: JP06208711

APPL-DATE: September 1, 1994

INT-CL (IPC): G11 C 29/00; H01 L 21/66; H01 L 21/8244; H01 L 27/11; H01 L 27/108; H01 L 21/8242

## ABSTRACT:

PURPOSE: To correctly perform logical discrimination by which it is recognized whether memory operation is normal or not by detecting that a word line activating signal is not outputted from a row decoder at the time of a test mode, and controlling a logical discriminated result indicating matching of a data compression circuit to nonmatching.

CONSTITUTION: Each bit data of memory cells of (n) pieces read out from a memory cell 10 and connected to the same word line is compared, the compared result is bit-compressed and outputted from a data compression circuit 17. At this case, when it is detected that word line activating signals WAS1, WAS2,... are not outputted, an output WDS of a level detecting circuit 16 is activated, and the logical discrimination result indicating matching by the circuit 17 is controlled to nonmatching. Consequently, logical discrimination by which it is recognized whether memory operation is normal or not is correctly performed. Further, a test time is shortened by bit compression processing.

COPYRIGHT: (C)1996, JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-77797

(43)公開日 平成8年(1996)3月22日

(51)Int.Cl.<sup>6</sup> 識別記号 庁内整理番号 F I 技術表示箇所  
G 1 1 C 29/00 3 0 3 B 9459-5L  
H 0 1 L 21/66 F 7735-4M  
21/8244

H 0 1 L 27/ 10 3 8 1

7735-4M

6 8 1 F

審査請求 未請求 請求項の数7 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平6-208711

(22)出願日 平成6年(1994)9月1日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 妹尾 幸浩

鹿児島県薩摩郡入来町副田5950番地 株式

会社九州富士通エレクトロニクス内

(72)発明者 中野 正夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 石田 敬 (外3名)

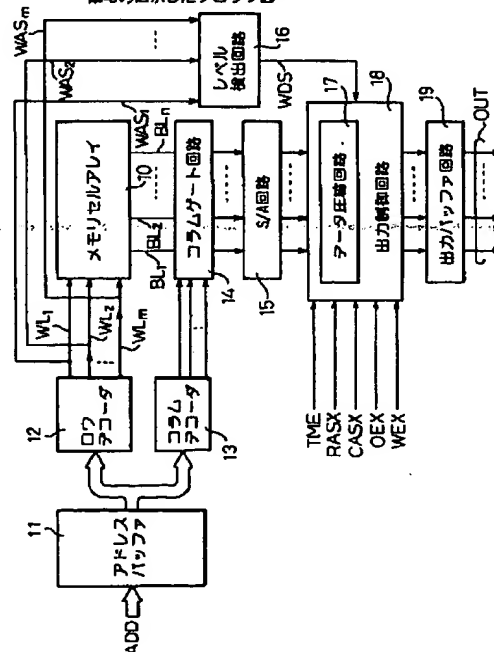
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 本発明は、試験時間の短縮に適したビット圧縮テストモード機能を備えた半導体記憶装置に関し、試験時間の短縮化を図る一方で、メモリ動作が正常かどうかを認識する論理判定を正確に行うことを目的とする。

【構成】 テストモード時にメモリセルアレイ10からの読み出しデータの各ビットを比較し、その比較結果をビット圧縮して出力する回路17と、デコード回路12でアドレス信号ADDのデコードに基づいて生成されたワード線活性化信号WAS<sub>1</sub>～WAS<sub>m</sub>と少なくともテストモード活性化信号TMEとにตอบสนองしてデータ圧縮回路17に対し前記比較結果に基づいた論理判定結果の出力制御を行う回路18とを備え、前記ワード線活性化信号が出力されなかった場合において前記論理判定結果が一致を指示した時に、該論理判定結果を不一致とするように制御するように構成する。

本発明の各実施例に係る半導体記憶装置の構成を概略的に示したブロック図



1

## 【特許請求の範囲】

【請求項1】 複数のワード線(WL<sub>1</sub> ~WL<sub>n</sub>.)及び複数のビット線(BL<sub>1</sub> ~BL<sub>n</sub>.)を有するメモリセルアレイ(10)と、

アドレス信号(ADD)をデコードして得られるワード線選択信号に基づいて前記複数のワード線のいずれかを駆動するワード線活性化信号(WAS<sub>1</sub> ~WAS<sub>n</sub>.)を生成するデコード回路(12)と、

テストモード時に前記メモリセルアレイから読み出された同一ワード線につながる複数のメモリセルの各ビットデータを比較し、その比較結果をビット圧縮して出力するデータ圧縮回路(17)と、

少なくとも外部からのテストモード活性化信号(TME)と前記デコード回路からのワード線活性化信号にตอบสนองして、前記データ圧縮回路に対し前記比較結果に基づいた論理判定結果の出力制御を行う出力制御回路(18)とを具備し、

前記デコード回路からワード線活性化信号が出力されなかった場合において前記データ圧縮回路の論理判定結果が一致を指示した時に、該論理判定結果を不一致とするように制御することを特徴とする半導体記憶装置。

【請求項2】 前記複数のワード線に対応して前記デコード回路で生成された複数のワード線活性化信号の各論理レベルを検出してワード線検出信号(WDS)を生成する回路(16)を具備し、前記デコード回路からワード線活性化信号が出力されなかった時に前記ワード線検出信号を活性化することを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記出力制御回路は、前記ワード線検出信号(WDS)と前記テストモード活性化信号(TME)にตอบสนองする論理ゲート(30)と、該論理ゲートの検出出力(Z)にตอบสนองして、前記データ圧縮回路の論理判定結果の論理レベルを所定レベル(Vss)に固定する回路(31)とを有し、該所定レベルは、前記論理判定結果を不一致とする論理レベルに対応していることを特徴とする請求項2に記載の半導体記憶装置。

【請求項4】 前記出力制御回路は、前記ワード線検出信号(WDS)と前記テストモード活性化信号(TME)とコラムアドレスストロブ信号(CASX)と出力イネーブル信号(OEX)にตอบสนองする論理ゲート(40)と、該論理ゲートの検出出力(Z)にตอบสนองして、前記データ圧縮回路の論理判定結果に応じた信号(OHE, OLE)の論理レベルを所定レベル(Vss, Vcc)に固定する回路(41, 42)とを有し、該所定レベルは、前記論理判定結果を不一致とする論理レベルに対応していることを特徴とする請求項2に記載の半導体記憶装置。

【請求項5】 前記出力制御回路は、前記ワード線検出信号(WDS)と前記テストモード活性化信号(TME)とコラムアドレスストロブ信号(CASX)に

2

ตอบสนองする論理ゲート(50)と、出力イネーブル信号(OEX)にตอบสนองして、前記データ圧縮回路の論理判定結果に応じた信号(OHE, OLE)の出力制御を行う第1の回路(51, 52)と、前記論理ゲートの検出出力(Z)にตอบสนองして、前記第1の回路を通して出力された前記論理判定結果に応じた信号の論理レベルを所定レベル(Vss, Vcc)に固定する第2の回路(41, 42)とを有し、該所定レベルは、前記論理判定結果を不一致とする論理レベルに対応していることを特徴とする請求項2に記載の半導体記憶装置。

【請求項6】 前記出力制御回路は、前記ワード線検出信号(WDS)と前記テストモード活性化信号(TME)にตอบสนองする論理ゲート(30)と、該論理ゲートの検出出力(Z)にตอบสนองして、前記メモリセルアレイからの比較圧縮されるべき読み出しデータの論理レベルを所定レベル(Vcc, Vss)に固定する回路(71~74)とを有し、該所定レベルは、前記比較結果に基づいた論理判定結果を不一致とする論理レベルに対応していることを特徴とする請求項2に記載の半導体記憶装置。

【請求項7】 前記読み出しデータの論理レベルを所定レベルに固定する回路は、前記論理ゲートの検出出力にตอบสนองする少なくとも1個のトランジスタ(71~74)を有することを特徴とする請求項6に記載の半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置に係り、特に、試験時間の短縮に適したビット圧縮テストモード機能を備えたスタティック型ランダムアクセスメモリ(SRAM)又はダイナミック型ランダムアクセスメモリ(DRAM)に関する。

【0002】

【従来の技術】従来、SRAMやDRAM等を試験する場合に、その試験時間を短縮するために、テストモード時にメモリセルからの読み出しデータの各ビットを比較し、その比較結果をビット圧縮して出力することが行われている。つまり、かかるSRAMやDRAM等はデータ圧縮回路を内蔵している。

【0003】この場合、テストモード時にデータ圧縮回路に供給されるデータとしては、アドレス信号のデコードに基づいて生成されるワード線駆動用のワード線活性化信号に基づいて、当該ワード線につながる複数のメモリセルに書き込まれた同じ論理レベルのデータが読み出される。例えば図3(但し、同図に示す回路構成全体としては従来技術ではない)を参照すると、データ圧縮回路17の出力端であるノードNに、テストモード時にメモリセルから読み出した各ビットデータD<sub>1</sub>, D<sub>2</sub>, D<sub>3</sub>, ..., を比較し圧縮した論理判定結果を指示する信号が出力される。この場合、ノードNに現れる信号は、各ビットデータD<sub>1</sub>, D<sub>2</sub>, D<sub>3</sub>, ..., が一致している場合(つま

3

り同じ論理レベルにある場合)と、不一致の場合(つまり1ビットでも異なる場合)とで、互いに異なる論理レベル(“H”レベル又は“L”レベル)を呈する。

【0004】メモリが正常に機能している場合(但し、ワード線活性化信号は出力される)には、テストモード時にデータ圧縮回路に供給されるデータ、すなわち同一ワード線につながるメモリセルから読み出される各ビットデータは、上述したように同じデータであるので、データ圧縮回路の論理判定結果は「一致」を指示する。この場合、一致を指示する論理判定結果を外部に出力することにより、メモリが正常動作を行っていることを認識することができる。

【0005】一方、同一ワード線につながるメモリセルに欠陥等があった場合(但し、ワード線活性化信号は出力される)には、テストモード時に同一ワード線上のメモリセルから読み出される各ビットデータは同じデータとはならないので、データ圧縮回路の論理判定結果は「不一致」を指示する。この場合には、この不一致を指示する論理判定結果に基づいて、メモリが正常動作を行っていないことを認識することができる。

【0006】

【発明が解決しようとする課題】しかしながら従来技術では、周辺回路の何らかの不具合によりテストモード時にワード線活性化信号が出力されなかった場合に、メモリは正常動作を行っていないにもかかわらず、同一ワード線上のメモリセルからの読み出しデータの各ビットが一致し、それによってデータ圧縮回路の論理判定結果が「一致」を指示するといった不都合があった。

【0007】このため、メモリの外部ではこの一致を指示する論理判定結果に基づいてメモリが正常動作を行っているものと誤って認識してしまい、正しい論理判定を行えないといった課題があった。本発明は、かかる従来技術における課題に鑑み創作されたもので、試験時間の短縮化を図る一方で、メモリ動作が正常かどうかを認識する論理判定を正確に行うことができる半導体記憶装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するため、本発明に係る半導体記憶装置は、複数のワード線及び複数のビット線を有するメモリセルアレイと、アドレス信号をデコードして得られるワード線選択信号に基づいて前記複数のワード線のいずれかを駆動するワード線活性化信号を生成するデコーダ回路と、テストモード時に前記メモリセルアレイから読み出された同一ワード線につながる複数のメモリセルの各ビットデータを比較し、その比較結果をビット圧縮して出力するデータ圧縮回路と、少なくとも外部からのテストモード活性化信号と前記デコーダ回路からのワード線活性化信号にตอบสนองして、前記データ圧縮回路に対し前記比較結果に基づいた論理判定結果の出力制御を行う出力制御回路とを具備

4

し、前記デコーダ回路からワード線活性化信号が出力されなかった場合において前記データ圧縮回路の論理判定結果が一致を指示した時に、該論理判定結果を不一致とするように制御することを特徴とする。

【0009】

【作用】上述した本発明の構成によれば、テストモード時にワード線活性化信号が出力されなかった場合において、データ圧縮回路の論理判定結果が一致を指示した時に、出力制御回路により、データ圧縮回路に対してその論理判定結果を不一致とするように出力制御がなされる。

【0010】従って、従来形に見られたような、ワード線活性化信号が出力されなかった場合にデータ圧縮回路の論理判定結果が一致を指示するといった不都合を解消することができ、これによって、メモリ動作が正常かどうかを認識する論理判定を正しく行うことが可能となる。また、ビット圧縮テストモード機能により、試験時間の短縮化を図ることができる。

【0011】なお、本発明の他の構成上の特徴及び作用の詳細については、添付図面を参照しつつ以下に記述される実施例を用いて説明する。

【0012】

【実施例】図1には本発明の各実施例に係る半導体記憶装置の構成が示される。図示の装置は、試験時間の短縮に適したビット圧縮テストモード機能を備えたメモリの構成を示すもので、SRAM又はDRAMのいずれのメモリにも適用可能である。なお、図示の例では説明の簡単化のため、データ読み出し系の構成のみが示されている。

【0013】図中、10は複数のワード線 $WL_1 \sim WL_n$ と複数のビット線 $BL_1 \sim BL_n$ の交差部にメモリセル(図示せず)が配設されてなるメモリセルアレイ、11は外部からのアドレス信号ADDのバッファリングを行うアドレスバッファ、12はアドレスバッファ11からのロウアドレス信号に基づき複数のワード線 $WL_1 \sim WL_n$ のいずれかを選択する(つまりワード線活性化信号 $WAS_1 \sim WAS_n$ を生成する)ロウデコーダ、13はアドレスバッファ11からのコラムアドレス信号に基づき複数のビット線 $BL_1 \sim BL_n$ のいずれかを選択するコラムデコーダ、14は選択されたビット線に対応するコラムのデータ線に接続するコラムゲート回路、15はデータ線上に読み出されたデータをセンスし増幅するセンスアンプ(S/A)回路、16はロウデコーダ12で生成されたワード線活性化信号 $WAS_1 \sim WAS_n$ の各論理レベルを検出してワード線検出信号WDSを生成するレベル検出回路を示す。

【0014】また、17はデータ圧縮回路を示し、テストモード時にメモリセルアレイ10から読み出された同一ワード線につながるn個のメモリセルの各ビットデータを比較し、その比較結果をビット圧縮して出力する。

5

18は出力制御回路を示し、レベル検出回路16からのワード線検出信号WDSと外部から供給される各種制御信号（本実施例では、テストモード活性化信号TME、それぞれアクティブ・ローのロウアドレスストロブ信号RASX、コラムアドレスストロブ信号CASX、出カインエーブル信号OEX及びライトインエーブル信号WEX）に基づいて、データ圧縮回路17に対し上記比較結果に基づいた論理判定結果の出力制御を行う。この出力制御回路18の構成例については、後で詳述する。また、19は出力バッファ回路を示し、通常モード時にはメモリセルアレイ10からの読み出しデータのバッファリングを行って外部に出力し、テストモード時にはデータ圧縮回路17のビット圧縮された論理判定結果を外部に出力する。

【0015】図2にはレベル検出回路16及びその関連部分の回路構成が示される。同図に示すように、レベル検出回路は、各ワード線WL<sub>1</sub>～WL<sub>n</sub>に対応してロウデコーダ12で生成されたワード線活性化信号WAS<sub>1</sub>～WAS<sub>n</sub>の各論理レベルにตอบสนองしてワード線検出信号WDSを生成するNORゲート16を有している。また、各ワード線活性化信号WAS<sub>1</sub>～WAS<sub>n</sub>は、各ワード線WL<sub>1</sub>～WL<sub>n</sub>に対応してロウデコーダ12内に設けられたドライバ20<sub>1</sub>～20<sub>n</sub>によりそれぞれ生成される。各ドライバ20<sub>1</sub>～20<sub>n</sub>は、ドライバインエーブル信号DEにより活性化されて、ロウアドレス信号をデコードして得られる各ワード線選択信号WS<sub>1</sub>～WS<sub>n</sub>をそれぞれワード線活性化信号WAS<sub>1</sub>～WAS<sub>n</sub>として出力する。

【0016】この構成において、ロウデコーダ12からワード線活性化信号WAS<sub>1</sub>～WAS<sub>n</sub>が出力されなかった場合、つまり、ワード線活性化信号WAS<sub>1</sub>～WAS<sub>n</sub>が全て“L”レベルにある場合、NORゲート16の出力すなわちワード線検出信号WDSは、活性化される（つまり“H”レベルとなる）。図3には本発明の第1実施例における出力制御回路18の構成が示される。

【0017】本実施例に係る出力制御回路18は、上述したワード線検出信号WDSとテストモード活性化信号TMEにตอบสนองするANDゲート30と、データ圧縮回路17の出力端（ノードN）と低電位の電源ラインV<sub>ss</sub>の間に接続され且つANDゲート30の検出出力Zにตอบสนองするnチャネルトランジスタ31とを有している。また、データ圧縮回路17は、テストモード時にメモリセルアレイ10から読み出された各ビットデータD<sub>1</sub>, D<sub>2</sub>, D<sub>3</sub>, ……を比較し、その比較結果をビット圧縮して、論理判定結果を指示する信号をノードNに出力する。この論理判定結果を指示する信号は、各ビットデータD<sub>1</sub>, D<sub>2</sub>, D<sub>3</sub>, ……が一致している場合（つまり同じ論理レベルにある場合）には“H”レベルを呈し、不一致の場合（つまり1ビットでも異なる場合）には“L”レベルを呈する。

6

【0018】本実施例の構成において、ワード線検出信号WDSとテストモード活性化信号TMEが共に活性化された時（つまり“H”レベルの時）、ANDゲート30の検出出力Zは活性化される（つまり“H”レベルとなる）。この活性化された検出出力Zにตอบสนองしてトランジスタ31はオンし、これによってデータ圧縮回路17の出力端（ノードN）の電位はV<sub>ss</sub>のレベル（“L”レベル）に引き下げられる。

【0019】このように、ロウデコーダ12からワード線活性化信号WAS<sub>1</sub>～WAS<sub>n</sub>が出力されなかった場合、言い換えると、ワード線検出信号WDSが活性化された時に、データ圧縮回路17の出力（論理判定結果）は、読み出しデータD<sub>1</sub>, D<sub>2</sub>, D<sub>3</sub>, ……の一致の指示（“H”レベル）に代えて、不一致の指示（“L”レベル）を行うように出力制御がなされる。そして、この出力制御がなされた論理判定結果、すなわち“L”レベルの信号は、出力バッファ回路19を介して外部に出力される。これによって、メモリが正常動作を行っていないことを認識する正しい論理判定を行うことができる。

【0020】図4には本発明の第2実施例における出力制御回路18の構成が示される。本実施例に係る出力制御回路18は、ワード線検出信号WDSとテストモード活性化信号TMEとコラムアドレスストロブ信号CASX（反転入力）と出カインエーブル信号OEX（反転入力）にตอบสนองするANDゲート40と、信号OHEのラインと低電位の電源ラインV<sub>ss</sub>の間に接続され且つANDゲート40の検出出力Zにตอบสนองするnチャネルトランジスタ41と、高電位の電源ラインV<sub>cc</sub>と信号OLEのラインの間に接続され且つANDゲート40の検出出力Zにตอบสนองするnチャネルトランジスタ42とを有している。ここに、信号OHE及びOLEは、前述したデータ圧縮回路17の論理判定結果（図3のノードNの信号）に応じた論理レベルを有しており、本実施例では、論理判定結果が“H”レベルの時にそれぞれ“H”レベル及び“L”レベルを呈する。

【0021】また、19a及び19bは出力バッファ回路19に含まれる出力ゲートをなすnチャネルトランジスタを示し、両トランジスタは、電源ラインV<sub>cc</sub>と電源ラインV<sub>ss</sub>の間に直列に接続され、それぞれ論理判定結果に応じた信号OHE及びOLEにตอบสนองしてオンオフする。従って、論理判定結果が“H”レベルの場合には、出力ゲートトランジスタ19aのみがオンし、出力OUTはV<sub>cc</sub>のレベル（“H”レベル）を呈する。

【0022】本実施例の構成において、ワード線検出信号WDSとテストモード活性化信号TMEとコラムアドレスストロブ信号CASXと出カインエーブル信号OEXが全て活性化された時（つまり、WDSとTMEが“H”レベルで、CASXとOEXが“L”レベルの時）、ANDゲート40の検出出力Zは活性化される（つまり“H”レベルとなる）。この活性化された検出

7

出力Zに応答してトランジスタ41、42はそれぞれオンし、これによって信号OHEのレベルはVssのレベル(“L”レベル)に引き下げられ、一方、信号OLEのレベルはVccのレベル(“H”レベル)に引き上げられる。この結果、出力ゲートトランジスタ19bのみがオンし、出力OUTはVssのレベル(“L”レベル)となる。

【0023】このように、ワード線検出信号WDSが活性化された時(つまり、ロウデコーダ12からワード線活性化信号WAS<sub>1</sub>~WAS<sub>n</sub>が出力されなかった場合)、データ圧縮回路17の論理判定結果に応じた信号OHE(又はOLE)は、読み出しデータの一致の指示すなわち“H”レベル(又は“L”レベル)に代えて、不一致の指示すなわち“L”レベル(又は“H”レベル)を行うように出力制御がなされる。この出力制御がなされた論理判定結果は、それぞれ出力ゲートトランジスタ19a、19bのオン/オフに基づいて外部に出力される。これによって、正しい論理判定を行うことが可能となる。

【0024】図5には本発明の第3実施例における出力制御回路18の構成が示される。図示の回路構成は、第2実施例の回路構成(図4参照)と比較して、①ワード線検出信号WDSとテストモード活性化信号TMEとコラムアドレスストロブ信号CASX(反転入力)の3入力にตอบสนองするANDゲート50を設けた点、②出力イネーブル信号OEXにตอบสนองして、それぞれ論理判定結果に応じた信号OHE、OLEの出力制御を行うpチャネルトランジスタ51、52を設けた点、において異なっている。他の回路構成及びその作用については、第2実施例の場合と同様であるので、その説明は省略する。

【0025】上述した第2実施例ではANDゲート40の検出出力Zを活性化するのに出力イネーブル信号OEXを用いたが、本実施例では、論理判定結果に応じた信号OHE、OLEの出力制御を行うために出力イネーブル信号OEXを用いている。つまり、出力イネーブル信号OEXの使用形態においてのみ相違しており、重要な部分(ワード線検出信号WDSの活性化に基づいて、データ圧縮回路17の論理判定結果を不一致とするように出力制御を行うこと)については第2実施例と同じである。従って、第2実施例と同様の効果を奏することができる。

【0026】図6には本発明の第4実施例における出力制御回路18の構成が示される。本実施例に係る出力制御回路18は、ワード線検出信号WDSとテストモード活性化信号TMEにตอบสนองするANDゲート30と、テストモード活性化信号TMEにตอบสนองするインバータ60と、テストモード活性化信号TME及びその反転信号にตอบสนองして、それぞれ比較圧縮されるべき読み出しデータD<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>、D<sub>4</sub>、……の出力制御を行うトランスミッションゲート61、62、63、64、……と、高電位

8

の電源ラインVccとトランスミッションゲート61、63の出力側ラインの間にそれぞれ接続され且つANDゲート30の検出出力Zにตอบสนองする圧縮データ制御用のnチャネルトランジスタ71、73と、トランスミッションゲート62、64の出力側ラインと低電位の電源ラインVssの間にそれぞれ接続され且つANDゲート30の検出出力Zにตอบสนองする圧縮データ制御用のnチャネルトランジスタ72、74と、各トランスミッションゲート61、62、63、64、……を通して出力された読み出しデータD<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>、D<sub>4</sub>、……にตอบสนองするANDゲート70(これはデータ圧縮回路17に相当する)とを有している。なお、各トランスミッションゲートはnチャネルトランジスタとpチャネルトランジスタが互いに並列接続された構成を有し、本実施例では、nチャネルトランジスタはテストモード活性化信号TMEにตอบสนองし、pチャネルトランジスタはインバータ60の出力にตอบสนองする。

【0027】前述した第1~第3実施例(図3~図5参照)では、各ビットデータを読み出し後、比較圧縮されたデータを変化させるようにしたが、本実施例では、ANDゲート30の検出出力Zが活性化された時、各ビットデータの読み出し後のデータを変化させ、比較圧縮するようにしている。すなわち本実施例の構成において、ワード線検出信号WDSとテストモード活性化信号TMEが共に活性化された時(つまり“H”レベルの時)、ANDゲート30の検出出力Zは活性化される(つまり“H”レベルとなる)。この活性化された検出出力Zにตอบสนองしてトランジスタ71~74は全てオンし、これによって、読み出しデータD<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>、D<sub>4</sub>の論理レベルにかかわらず、各トランスミッションゲート61、62、63、64の出力側ラインの電位はそれぞれ“H”レベル、“L”レベル、“H”レベル、“L”レベルとなる。これを受けて、ANDゲート70(データ圧縮回路)は入力データの不一致を検出する。

【0028】このように、ワード線検出信号WDSが活性化された時(つまり、ロウデコーダ12からワード線活性化信号WAS<sub>1</sub>~WAS<sub>n</sub>が出力されなかった場合)、ANDゲート70は、読み出しデータD<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>、D<sub>4</sub>の不一致を指示する旨の出力制御を行う(“L”レベルの出力)。そして、この出力制御がなされた論理判定結果は、出力バッファ回路19を介して外部に出力される。これによって、メモリが正常動作を行っていないことを認識する正しい論理判定を行うことが可能となる。

【0029】なお、第4実施例の回路構成では圧縮データ制御用トランジスタとして4個のトランジスタ71~74を設けた場合について説明したが、設けるトランジスタの個数はこれに限定されない。少なくとも1個のトランジスタが設けられていれば十分である。要は、ワード線検出信号WDSが活性化された場合において読み出

9

しデータ  $D_1, D_2, D_3, D_4, \dots$  が一致した時に、ANDゲート70が読み出しデータ  $D_1, D_2, D_3, D_4$  の不一致を指示するような出力制御を行えるようにすればよい。

#### 【0030】

【発明の効果】以上説明したように本発明によれば、ワード線活性化信号が出力されなかった場合においてデータ圧縮回路の論理判定結果が一致を指示した時に、その論理判定結果を不一致とするように出力制御を行うことで、メモリ動作が正常かどうかを認識する論理判定を正しく行うことができる。また、ビット圧縮テストモード機能により試験時間を短縮することができる。

#### 【図面の簡単な説明】

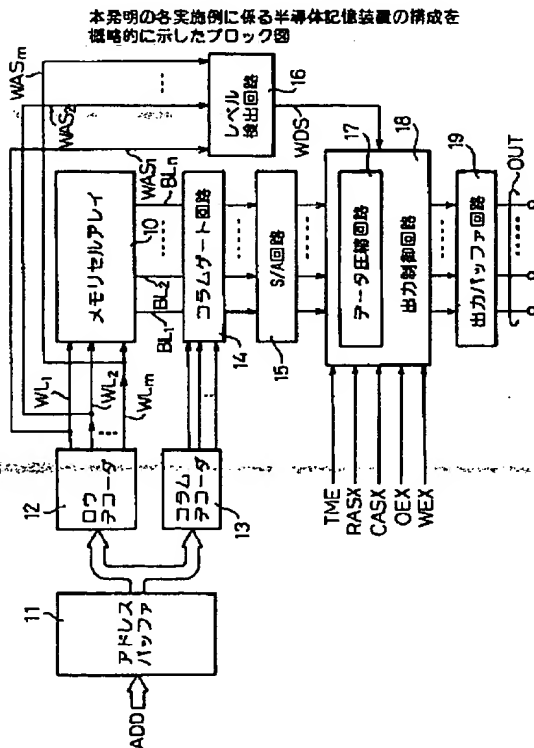
【図1】本発明の各実施例に係る半導体記憶装置の構成を概略的に示したブロック図である。

【図2】図1におけるレベル検出回路及びその関連部分の回路構成を示す図である。

【図3】本発明の第1実施例における出力制御回路の構成を示す回路図である。

【図4】本発明の第2実施例における出力制御回路の構成を示す回路図である。

【図1】



10

【図5】本発明の第3実施例における出力制御回路の構成を示す回路図である。

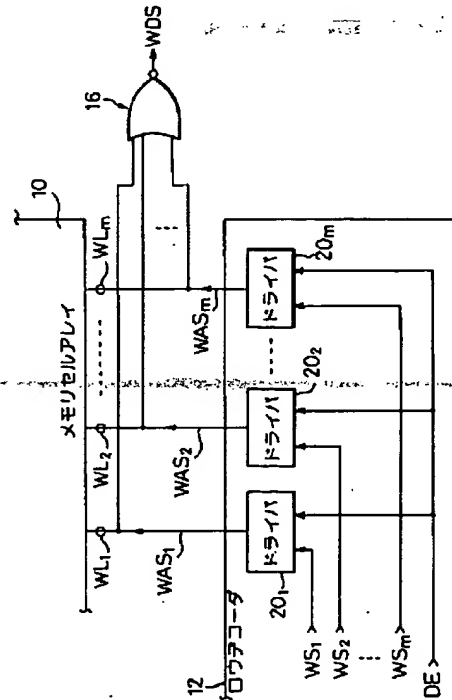
【図6】本発明の第4実施例における出力制御回路の構成を示す回路図である。

#### 【符号の説明】

- 10...メモリセルアレイ (SRAM又はDRAM)
- 12...デコーダ回路 (ロウデコーダ)
- 16... (ワード線活性化信号の) レベル検出回路
- 17...データ圧縮回路
- 18...出力制御回路 (データ圧縮回路の論理判定結果の出力制御を行う)
- ADD...アドレス信号
- BL<sub>1</sub> ~ BL<sub>n</sub>...ビット線
- CASX...コラムアドレスストロブ信号
- RASX...ロウアドレスストロブ信号
- OEX...出力イネーブル信号
- TME...テストモード活性化信号
- WAS<sub>1</sub> ~ WAS<sub>n</sub>...ワード線活性化信号
- WDS...ワード線検出信号
- WL<sub>1</sub> ~ WL<sub>n</sub>...ワード線

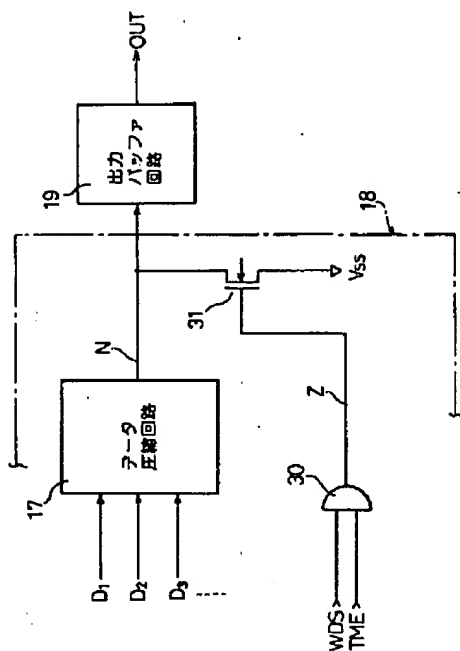
【図2】

図1におけるレベル検出回路及びその関連部分の回路構成を示す図



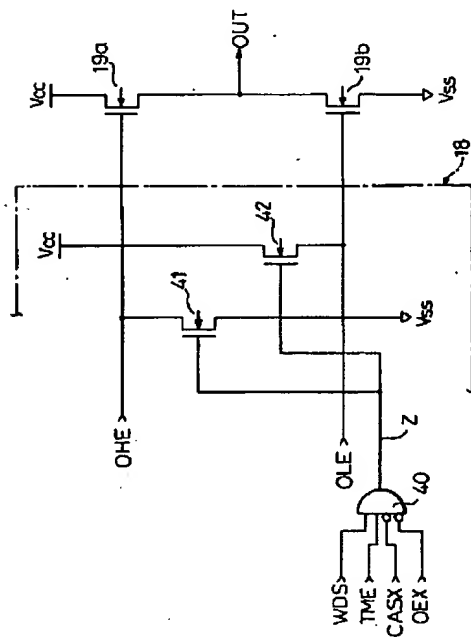
【図3】

本発明の第1実施例における出力制御回路の構成を示す回路図



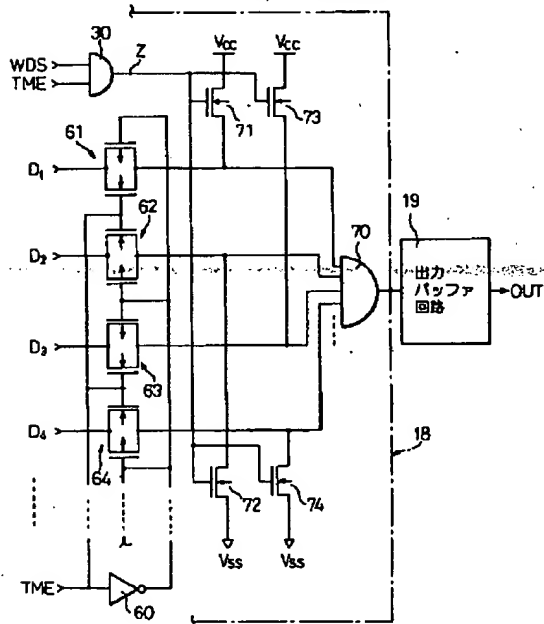
【図4】

本発明の第2実施例における出力制御回路の構成を示す回路図



【図6】

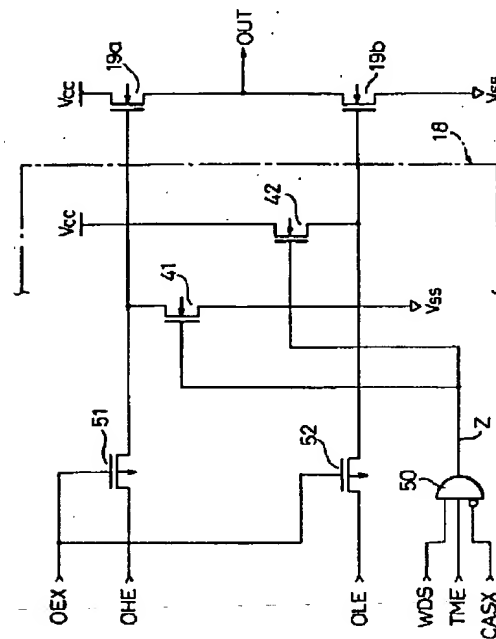
本発明の第4実施例における出力制御回路の構成を示す回路図





【図5】

本発明の第3実施例における出力制御回路の構成を示す回路図



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H01L 27/11

27/108

21/8242

識別記号

片内整理番号

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**